

⑯日本国特許庁(JP)

①特許出願公開

②公開特許公報 (A)

昭54-87489

⑤Int. Cl.<sup>2</sup>  
H 01 L 27/04 //  
H 03 K 13/02

識別記号 ⑥日本分類  
99(5) H 0  
98(5) F 0

⑦内整理番号 ⑧公開 昭和54年(1979)7月11日  
7210-5F  
7125-5J 発明の数 1  
審査請求 未請求

(全 9 頁)

⑨AD/DA変換器用集積化抵抗回路

⑩特 願 昭52-155848  
⑪出 願 昭52(1977)12月23日  
⑫発明者 高須賀芳紀

東京都港区芝五丁目33番1号

日本電気株式会社内

⑬出願人 日本電気株式会社  
東京都港区芝五丁目33番1号  
⑭代理人 弁理士 内原晋

明細書

発明の名称

AD/DA変換器用集積化抵抗回路

特許請求の範囲

半導体基板内に設けたスイッチ用半導体素子の不純物添加領域と厚いフィールド酸化膜上に設けた不純物添加ポリシリコン抵抗体とを接続するに、別途の配線層を形成せず前記ポリシリコン抵抗体の一部を前記不純物添加領域上に張り出して形成することにより接続するようにしたことを特徴とするAD/DA変換器用集積化抵抗回路。

発明の詳細な説明

本発明は、AD/DA変換器の集積化に関するものである。そのための集積化抵抗回路に関するものである。

例えば、第1図に示すようなAD/DA変換器用抵抗回路を集積化する場合従来は、例えば第2図(a)に示すように単位量の抵抗値を示す抵抗片6を

(1)

多段個別に形成しておき、この抵抗片6の中から適当なものを適当な数組み合して形成していた。こうした従来例は集積化の程度も不充分なものであり、アルミニウム配線7で個々の抵抗片6を連結するプロセス段階で回路設計者の意図に反して目合わせのズレによる誤差が生ずるという欠点があった。

第1図に示す回路構成では各抵抗誤差は同じ重みづけであるが、より端的な例が第2図(a)にその接続法を示すR-2Rはしご型回路である。これは衆知のように各ビットの抵抗誤差に $\frac{1}{2^n+1}$  ( $n$ : ビット位数) の重みがつく。たとえば最上位ビットであれば $\frac{1}{4}$ である。また第2図(a)に示すようなAD/DA変換器は電流加算型と呼ばれるもので、抵抗に接続されたスイッチ用半導体素子(第2図(a)8でそのゲート部を示す)のオン抵抗のバラツキが変換器自体の精度に大きく影響した。

本発明は、かかるプロセス段階での誤差をなくすため、AD/DA変換器用抵抗回路を集積化するに際してその回路構成としてスイッチ半導体素子

(2)

には電流を殆んど流さない所謂ボテンシオメータ的に抵抗体を使用する第1図に示す抵抗回路のような構成を採用し、例えば第4図および第5図のように集積化して実現するものである。これは半導体基板上の厚いフィールド酸化膜上に設けた不純物添加ポリシリコン抵抗体から同材料で多数のタップ出しをして分圧し、その端を基板内に設けたスイッチ用半導体素子の不純物添加領域とダイレクトコンタクトと称する領域において前記スイッチ用半導体素子の不純物添加領域を形成する際の不純物添加に伴う拡散現象を利用して接続するものであり、充分な集積化が容易に可能となりその精度も格段に向上する。第1図に示す回路構成の基本的な特徴は電圧センス型になっている点であり、直線状の抵抗体の相対精度によって回路全体の精度が決まると言っても過言ではなく、從来例の如き目合わせのズレによる誤差等は起り得ない。

第3図(a)は第1図の回路構成をそのまま集積化したときのマスクパターンの一例を示したもので、

(3)

詳細な図面をも用いて本発明を説明する。

第4図は、第3図の一部破線で囲んで示した領域Fを取り出してGG'から眺めた概略断面をその工程を追って示したものであり、その一部については第5図にGG'断面の概略と共に領域Fの外観をも示した斜視構造図を示す。

以下、説明の便宜上、今日の集積回路の主流であるロチャネル・シリコングート構造のもので説明するが、本発明をこれに限定するものではない。

まず第4図(a)に示すように、(511)面で比抵抗 $10\sim15(\Omega\cdot\text{cm})$ のp型シリコン基板11の表面を $950^\circ\text{C}$ の温度下でまず酸素雰囲気中で10分、次いで水素及び酸素が $1:1$ の比率で混合した雰囲気(流量は共に $250\text{L/h}$ )中で17分、再び酸素雰囲気中で5分という配分でドライ酸化して $800\text{\AA}$ 程度のシリコン酸化膜12を形成し、その上に $760\sim780^\circ\text{C}$ で、たとえばCVD法でシリコン酸化膜13を $1200\text{\AA}$ 程度つけ、次に $980^\circ\text{C}\sim1150^\circ\text{C}$ の温度下でまず酸素雰囲気中で5分、水素及び酸素が $5:3$ の比率で混合した雰囲気(流量にして水素 $250\text{L/h}$ 、酸素 $150\text{L/h}$ )中で360分、再び酸素雰囲気中で5分という配分でドライ酸化して前記不純物の挿入(第4図(c)の15が15となる)と同時に $1.0\mu\text{m}$ 程度のフィールド用シリコン酸化膜16を成長させ、前記3層膜を前記方法によりエッティング

(5)

Aが本発明で云う厚いフィールド酸化膜上に設けた不純物添加ポリシリコン抵抗体の本体でありボテンシオメータ的に使用する実をあげる点からも直線状にしてある。この抵抗体の本体から張り出している部分Bがスイッチ用半導体素子の不純物添加領域と接続する部分で、本体Aと同じ材料で一体に構成されている。本体Aには或る程度の電流を流すことにはなるが、張り出し部分からスイッチ用半導体素子に流れる電流は極めて僅かになつてるので、張り出しの距離は充分に取っても誤差等の原因となる恐れはない。又こうして充分な距離離してスイッチ用半導体素子が形成できるため抵抗体本体を流れる電流によってスイッチ用半導体素子の動作が影響を受けることもなくなる。第3図(a)中上下に平行して走る破線の帯Cはゲート用ポリシリコン配線であり、右傾斜のハッチングを施した帯Dは黒く塗りつぶして示したソースもしくはドレイン部のコンタクトホール同志を結ぶしたアルミニウム配線である。

以下、この第3図(a)に示した実施例を基に更に

(4)

量にして水素 $250\text{L/h}$ 、酸素 $150\text{L/h}$ )中で40分、再び酸素雰囲気中で5分という配分でドライ酸化して前記シリコン酸化膜13の表面に $200\text{\AA}$ 程度の厚さの酸化膜14を成長させる。そして第4図(b)に示すように、トランジスタ領域となる所以下の前記3層膜をレジストをマスクとして酸化膜14及び12に対しても過剰系フッ化水素酸を用い、シリコン酸化膜13に対しては $150^\circ\text{C}$ 程度のリン酸を使ってエッティングする。次いで第4図(c)に示すように、焼いた3層膜をマスクとしてたとえざがロン広敷を $800^\circ\text{C}$ 程度で行ない、酸化膜が $300\Omega/\square$ 程度のp+領域15を形成する。次に第4図(d)に示すように $980^\circ\text{C}$ の温度下でまず酸素雰囲気中で10分、水素及び酸素が $5:3$ の比率で混合した雰囲気(流量にして水素 $250\text{L/h}$ 、酸素 $150\text{L/h}$ )中で360分、再び酸素雰囲気中で5分という配分でドライ酸化して前記不純物の挿入(第4図(c)の15が15となる)と同時に $1.0\mu\text{m}$ 程度のフィールド用シリコン酸化膜16を成長させ、前記3層膜を前記方法によりエッティング

(6)

び酸素が1:1の比率で混合した雰囲気(流量は共に250L/h.)中で24分、再び酸素雰囲気中5分という配分でドライ酸化して1000Å程度シリコン酸化膜21を成長させる。次に第4図(e)及び第5図(b)に示すように、レジストをマスクとして前記酸化膜21を22のごとく切り、それをマスクとしてポリシリコンと抵抗部のポリシリコンのバーチャル成形するが、ポリシリコンのエッチングは、例えば硝酸、フッ酸、ヨウ素の酢酸鈉和液の混合液で行なうと好都合である。その際、抵抗用ポリシリコンの一部は、抵抗体本体Aから張り出するようダイレクトコンタクト部19に露出しているp<sup>+</sup>ポロン層18に半部程度かけBのように設ける。そして第4図(f)に示すように900℃の温度下でまず酸素雰囲気中で5分、水素及び酸素が1:1の比率で混合した雰囲気(流量は共に250L/h.)で24分、再び酸素雰囲気中で5分という配分でドライ酸化して600Å程度のシリコン酸化膜を形成すると前記シリコン酸化膜22と合まってシリ

(8)

した。この状態ではトランジスタを形成しようとする領域は、シリコン基板が裸になっている。その表面を950℃程度の温度下でまず酸素雰囲気中で5分、水素及び酸素が1:1の比率で混合した雰囲気(流量は共に250L/h.)中で24分、再び酸素雰囲気中で5分という配分でドライ酸化して1000Å程度のシリコン酸化膜17を形成する。そして第4図(e)に示すように、全面にポロンを打込みエネルギー-50keVで $1.0 \times 10^{11} (\text{cm}^{-2})$ 程度イオン注入する。そうするとトランジスタを形成しようとする領域のシリコン基板表面にp<sup>+</sup>ポロン層18が形成され、その表面積の比抵抗は3~5Ω·cm程度に調整される。次に第4図(f)に概略断面を示し第5図(f)にその拡大構造図を示したように、前記酸化膜17の一部を19のごとくエッチングしてダイレクトコンタクトと称される領域を形成する。そして第4図(g)に示すように、ポリシリコン層20をたとえば650℃程度のCVD法で全面に6000Å程度成長させ、その表面に900℃の温度下で酸素雰囲気中で5ナ、(水素及

(7)

コン酸化膜23が形成される。その上に770℃程度のCVD法によりシリコン酸化膜24を1000~1300Åつけ、またその上に450℃程度のCVD法によりシリコン酸化膜25を3000Å程度つける。次に第4図(i)に示すように、前記膜のうちシリコン酸化膜25とシリコン酸化膜24と抵抗部のポリシリコン上はおおい、ならかつダイレクトコンタクトと称される領域19上にはかからないような形状に残すように前記方法でエッチング除去する。この時、抵抗体の両端部耳1と耳2および2の部分にはコンタクトを形成するので前記シリコン酸化膜25とシリコン酸化膜24はエッチング除去しておく。次に第4図(j)に示すように、1000℃の雰囲気中でたとえばリンのプレデポジションを50分程度行なうと、将来ソース、ドレインとなるシリコン表面の600~1600Åのシリコン酸化膜23を通して前記不純物の沈着が行なわれ、層抵抗50/□程度のソース、ドレイン領域26が形成される。それと同時に600Å程度のシリコン酸化膜を通してゲートポリシリコンへ前記不

(9)

確切の沈着が行なわれる層抵抗130/□程度のゲートポリシリコンとなり、また本発明でも重要な抵抗体ポリシリコンとトランジスタの抵抗領域のコンタクトおよび抵抗体の両端におけるコンタクトも、この600Å程度のシリコン酸化膜を通して行なわれる。これは、リンのポリシリコン中の沈着量がシリコン基板中およびシリコン酸化膜中に比して100倍以上も大きいため抵抗体本体から張り出したポリシリコン部Bも今までプレデポジションされ、オーム接続をとるために充分な量が前記抵抗体ポリシリコンとシリコン基板との間にドープされる。一方、抵抗体本体Aを形成するポリシリコン層への沈着は前記3種類23、24、25によって充分阻止される。そして900℃の温度下でまず酸素雰囲気中で5分、次いで水素及び酸素を1:1で混合した雰囲気(流量は共に200L/h.)中で20分、再び酸素雰囲気中で5分という配分でドライ酸化することによって前記不純物の押込みが行なわれ結合深さが1.5(μm)程度となると同時に5000Å程度のシリコン酸化膜27が成長

(10)

する。次は第4図(d)に示すように、第4図(j)における抵抗体本体A上に設けた3層膜を形成した際に用いたマスクを使用しその場合は逆のレジスト(前がネガ型であれば今はポジ型)を用いて抵抗体本体A上にある層27、25、24をエッティング除去する。その結果、ポリシリコンのパターンを形成した後に成長させたシリコン酸化膜23だけが抵抗体を形成するポリシリコン上に残り、トランジスタを形成する領域上には前記酸化膜23のはかにリンの押込み拡散時に成長した酸化膜27; 5000 Å程度が残っている。そして全面にたとえばリンのイオン注入を行なう。これは前記酸化膜27; 5000 Åの不純物注入に対する阻止能力内すなわちシリコン基板にイオン注入による不純物が達しない範囲内でイオン注入エネルギーを可変にでき、しかもこの後のプロセスに高温の熱処理がなく、不純物のポリシリコン層内でのプロファイ尔が大きく変化する懸念がないので、層抵抗値の制御がゲートポリシリコンのそれとは独立に行なえる利点を生ずる。また上記抵抗体本体部のポリ

(11)

第1図の如く直線状の抵抗体本体をポテンシオメタ的に用い、第3図(a)に示したようにこの本体A部から多数のタップ出し部Bを張り出して設け、その端をダイレクトコンタクト法を用いてスイッチ用トランジスタと接続する電圧センス型構成をとることによって根本的に解決している。

本発明によるときは、例えば抵抗体となるポリシリコン層を形成しようとするときに、万一マスクパターンが上下左右にダイレクトコンタクト部の寸法の範囲内でズレたとしても全体精度には影響がない。またポリシリコンのエッティング精度も従来の2倍の精度を確保できる。その評価を説明するために従来例については第2図(a)に対して第2図(b)、(c)を、又本発明の実施の一例である第3図(a)に対しては第3図(b)、(c)を用意した。

従来の場合、第2図(b)の如く寸法 $\mu$ 、 $\lambda$ となすべき抵抗体パターンが例えば目合わせズレ等の理由により上下の $\lambda$ 方向に $\lambda$ だけエッティングによる誤差が生じたとすると、希望のものに対する比は $\frac{\mu+\lambda}{\mu} = 1 + \frac{\lambda}{\mu}$ である。これに対して本発明の場

(13)

シリコンをカバーするシリコン酸化膜23によつて、イオン注入時に生じやすいポリシリコンの損傷を軽減している。前記説明では酸化膜27を仮に5000 Åと記したがそれに限るものではなく選択したイオン注入エネルギーに適合するように選択すればよい。次に第4図(e)に示すように、コンタクトホール28をあけてその上から厚さ1.2(μm)のアルミ蒸着層29を全面に行ない、第4図(m)及び第5図(n)に示すように配線部分29を残し、他はエッティング除去する。そして最後に第4図(o)に示すように450°C程度のCVD法で5000 Å程度のバッショーベーション用シリコン酸化膜30を形成することによってこの工程は完了する。以上説明してきたように本発明の構造は、通常のNチャネルシリコンゲートプロセスを少し変更するだけで実現できるので製造技術上も無理がない利点がある。

本発明は以上説明したように、従来構造のAD/DA変換器用抵抗回路において生じたマスクの目合わせのズレ等が原因となる抵抗値誤差を、例えば

(12)

合、第3図(b)の如く、寸法W、L、X、Y、となすべき抵抗体パターンが前記理由と同様に上下のL方向に $\lambda$ だけの誤差が生じたとしても、希望のものに対する比は $\frac{L+4\lambda}{L} = 1 + \frac{4\lambda}{L}$ と半分となる。また抵抗体本体Aの幅Wに $\lambda$ Wの変化が生じたとしても相対精度には影響しない。

なおかつダイレクトコンタクト部に張り出したポリシリコン層Bの長さYが $Y + \lambda Y$ となつたとしてもトランジスタのソース領域とコンタクトをとれる範囲内であれば問題はない。

したがってエッティングによる誤差も当然の如く本発明の方が相当に緩和される。なぜならば本発明の抵抗回路は電圧センス型なので、従来のように電流スイッチ用トランジスタのオン抵抗の誤差なども全体精度に入つてこない。

また抵抗用ポリシリコンの層抵抗はトランジスタのソース、ドレイン領域形成のための不純物熱拡散後に行なう前記不純物の押込み拡散時に成長した酸化膜をマスクとして、イオン注入による不純物がその酸化膜層内にあるようにならわしシリコ

(14)

シルコン基板表面に達しない範囲内でのエネルギーでイオン注入をすることにより、なおかつその後のプロセス工程に高溫処理を施さないように工夫することにより、抵抗用ポリシリコン内の不純物プロファイルが大きく変化する懸念がなくしかも層抵抗の制御が容易であるように工夫されている。

以上説明したのは第1図に示すようなA/D/DA変換器用抵抗回路を集積化する場合であったが、第6図に示すようにスイッチ用半導体素子を直線状の抵抗体ポリシリコン層の左右に振り分けて配置し、しかも第1図に示す3ビットのA/D/DA変換器用抵抗回路と機能的に等価な回路を実現することも当然可能であり、本発明の特徴は保持されると同時に集成度も向上する。

第7図に示したマスクパターンは、第6図の例のようにスイッチ用半導体素子を左右に振り分けて配置した5ビットのA/D/DA変換器用抵抗回路のそれである。

前記記述から理解されるように、本発明は、種々のA/D/DA変換器用集成化抵抗回路に適応す

(15)

るために個々の抵抗片の寸法およびその誤差を併記して示したものである。

第3図(a)は、本発明の一実施例である第1図の回路を実際に集成化した一例についてそのマスクパターンを示したものである。図中Aは抵抗体本体を、Bは本体から振り出したタップ出し部で本体と同一の不純物添加ポリシリコン層を一体成形して構成してある。Cはゲート用ポリシリコン配線であり、DはコンタクトホールE同志を結ぶアルミニウム配線である。第3図(b)および(c)は本発明の利点を説明するために上記AおよびB部の形状をその寸法および誤差と共に示したものである。

第4図(a)～(d)は、実際に第3図(a)を構成する方法の一例をその工程順に示した概略断面図であり、断面は第3図(a)中のGGから見たものである。

第5図(f), (h), (i), (j)はそれぞれ第4図(f), (h), (i), (j)に対応して示した斜視構造図で、断面はGG断面を示し、その領域は第3図中に破線で囲んで示したF領域である。

第4図および第5図において、11にシリコン

(17)

#### 図面の簡単な説明

第1図は、本発明を実施して集成化しようとするA/D/DA変換器用抵抗回路の一例を共に集成化するスイッチ用半導体素子3、インバータ4、フォロア5、の周辺回路を含めて示したマスクパターンの実態に近い回路図である。図中1から2に至る抵抗体が本発明により直線状に一連のものとして形成される不純物添加ポリシリコン抵抗体であり、この抵抗体本体からスイッチ用半導体素子に至る結線の少くとも一部は本体と同じ材料で一体に形成された不純物添加ポリシリコンで形成される。

第2図(a)は、従来のA/D/DA変換器用抵抗体の例であり、単位量の抵抗値を示す抵抗片6をアルミニウム配線7で適当に接続して構成していた。図中の8はスイッチ用半導体素子のゲート部である。第2図(b)および(c)は、従来構造の欠点を説明

(16)

するための個々の抵抗片の寸法およびその誤差を併記して示したものである。

第3図(a)は、本発明の一実施例である第1図の回路を実際に集成化した一例についてそのマスクパターンを示したものである。図中Aは抵抗体本体を、Bは本体から振り出したタップ出し部で本体と同一の不純物添加ポリシリコン層を一体成形して構成してある。Cはゲート用ポリシリコン配線であり、DはコンタクトホールE同志を結ぶアルミニウム配線である。第3図(b)および(c)は本発明の利点を説明するために上記AおよびB部の形状をその寸法および誤差と共に示したものである。

第4図(a)～(d)は、実際に第3図(a)を構成する方法の一例をその工程順に示した概略断面図であり、断面は第3図(a)中のGGから見たものである。

第5図(f), (h), (i), (j)はそれぞれ第4図(f), (h), (i), (j)に対応して示した斜視構造図で、断面はGG断面を示し、その領域は第3図中に破線で囲んで示したF領域である。

第4図および第5図において、11にシリコン

基板を、12はシリコン酸化膜を、13はシリコン酸化膜を、14はシリコン酸化膜を、15, 15'は遮断域を、16はフィールド用シリコン酸化膜を、17はゲート用シリコン酸化膜を、18は遮断層を、19は17の一部を除去して設けたダイレクトコンタクトホールを、20はポリシリコン層を、21はシリコン酸化膜を、22はマスク用シリコン酸化膜を、23はシリコン酸化膜を、24はシリコン酸化膜を、25はシリコン酸化膜を、26はスイッチ用半導体素子のソース、ドレイン領域を、27はシリコン酸化膜を、28はコンタクトホールを、29はアルミニウム層を、29'は29を成形して設けたアルミニウム配線を、30はパッセンジション用シリコン酸化膜を、それぞれ示す。

第6図は、第1図と等価な3ビット用回路ではあるがスイッチ用半導体素子3およびインバータ4、を左右に振り分けて設けた実施例についてマスクパターンの実態に近い表現をした回路図である。

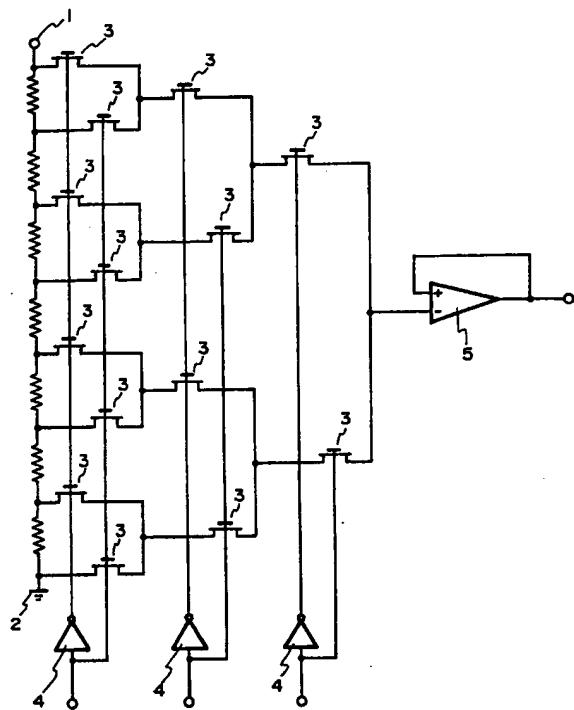
第7図は、第6図同様、スイッチ用半導体素子

(18)

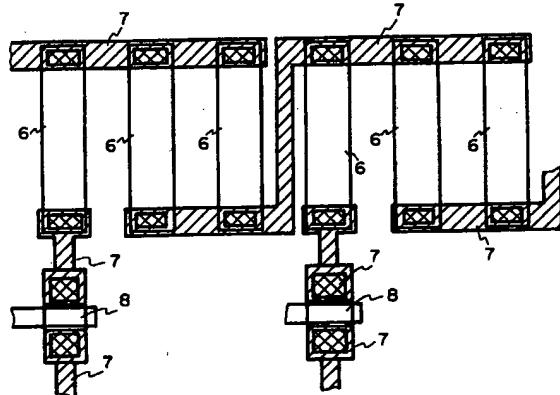
およびインバータを左右に振り分けて実験例についてそのマスクパターンの一例を示したものである。この例は、5ビット用の回路になっている。

代理人弁理士内原晋

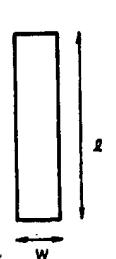
オ1図



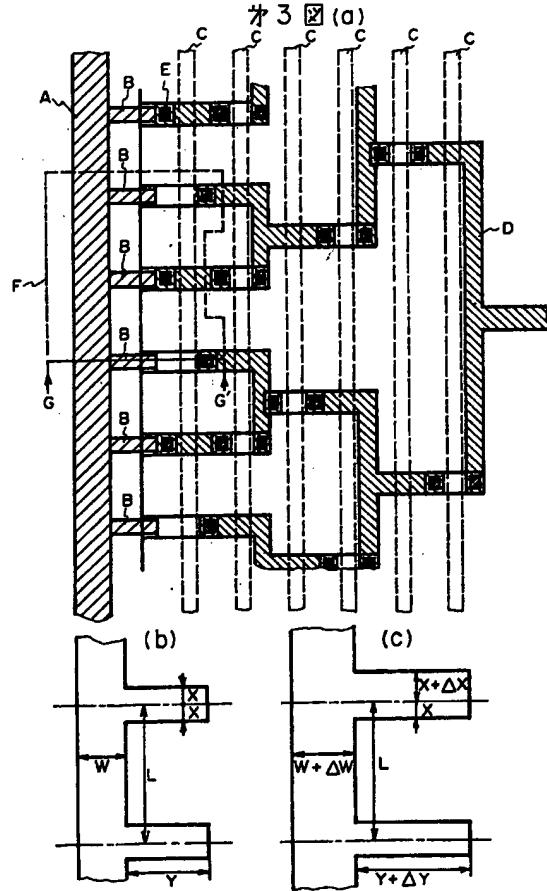
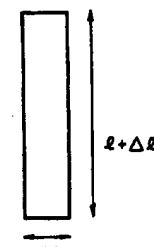
(19)

オ2図  
(a)

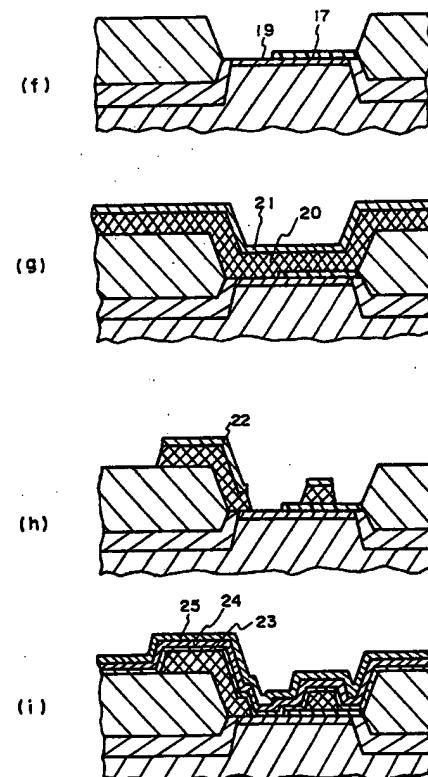
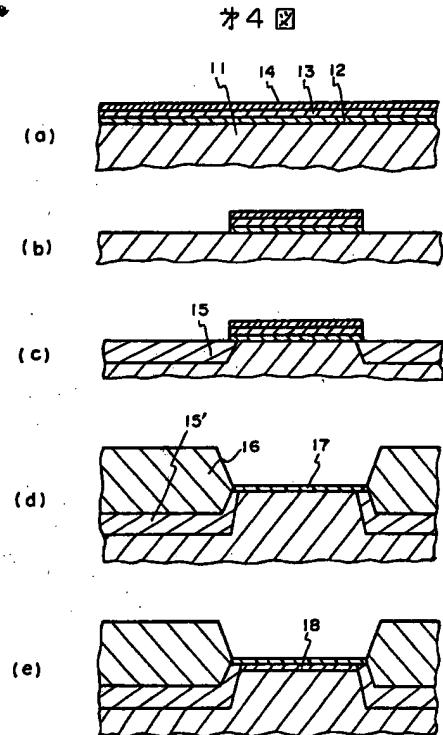
(b)



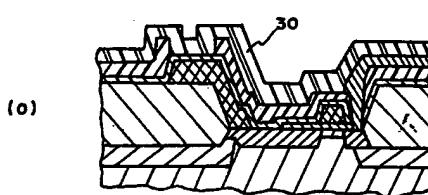
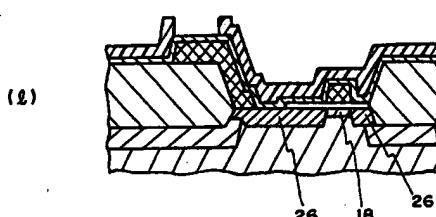
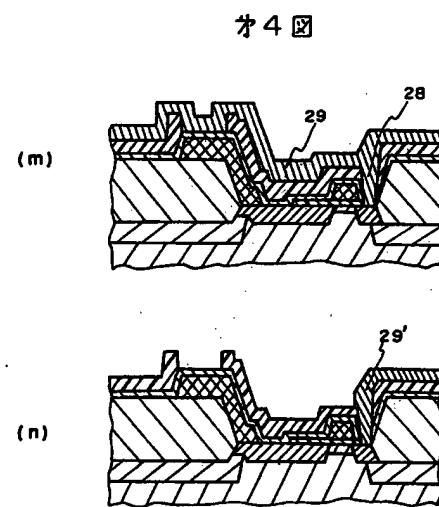
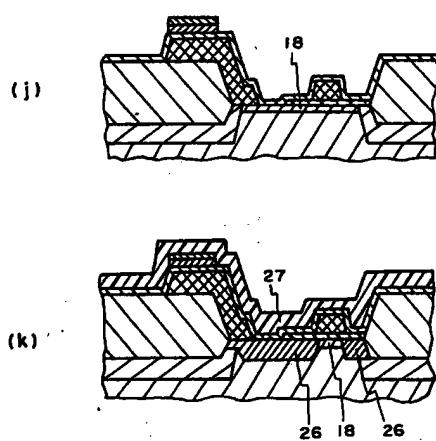
(c)



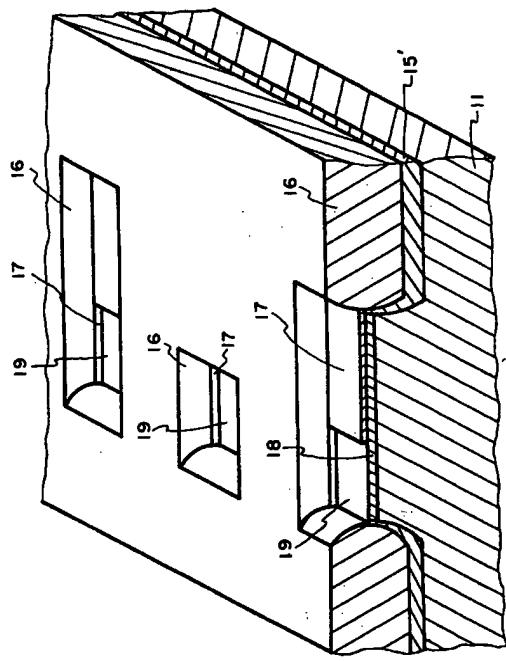
第4図



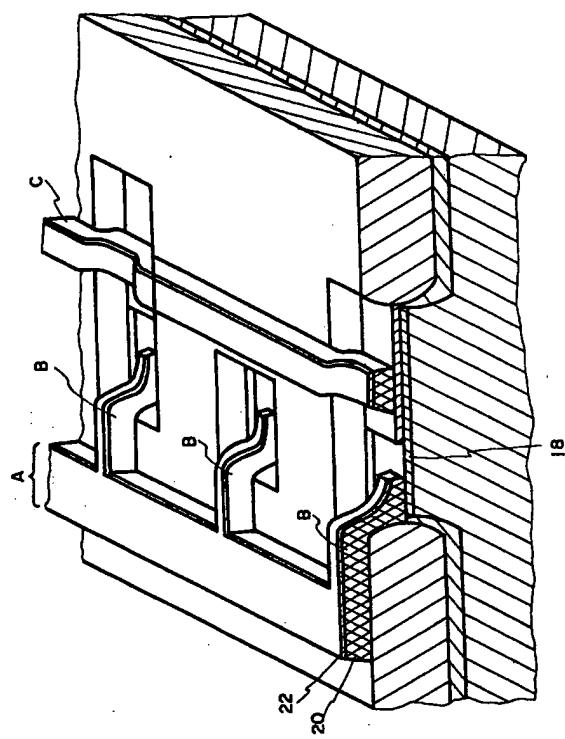
第4図



第5図 (f)



第5図 (h)



第6図

